

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-274922

(43)Date of publication of application : 08.10.1999

(51)Int.Cl.

H03L 7/10

(21)Application number : 10-070024

(71)Applicant : FUJITSU DENSO LTD

(22)Date of filing : 19.03.1998

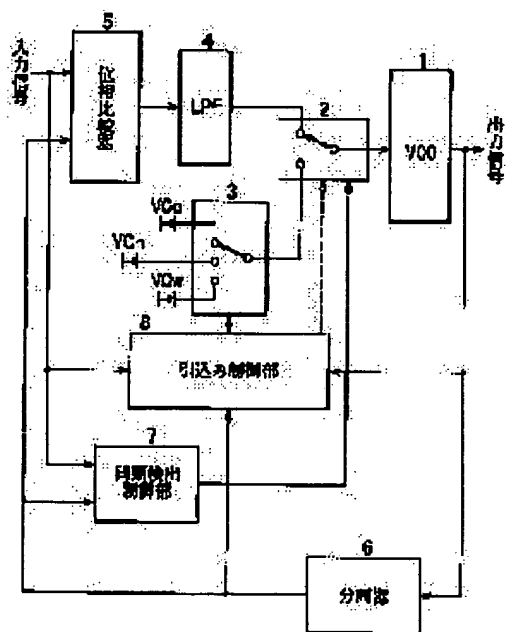
(72)Inventor : KANAYAMA KEISUKE

## (54) PHASE-LOCKED LOOP CIRCUIT

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To attain high speed phase synchronization locking, with respect to a phase locked loop(PLL) that synchronizes the phase of the output signal of a voltage controlled oscillator with the phase of an input signal.

**SOLUTION:** A phase comparator 5 compares the phase of an input signal with the phase of a frequency dividing output signal which results from frequency-dividing the output of a voltage-controlled oscillator 1 with a frequency divider 6, and an output signal from the phase comparator is used for the control voltage of the voltage-controlled oscillator 1 in the phase-locked loop. The phase-locked loop circuit is provided with a lock control section 8 that controls 1st and 2nd changeover circuits 2, 3 in such a way that whether or not a frequency of an input signal is higher or lower than the center frequency is discriminated in the locking, a control voltage VCw with a lower limit frequency is selected when it is higher, or a control voltage VCh with a higher limit frequency is selected when it is lower, and the selected control voltage is given to the voltage-controlled oscillation 1 in place of the control voltage from the loop filter 4.



## LEGAL STATUS

[Date of request for examination]

06.07.2001

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-274922

(43) 公開日 平成11年(1999)10月8日

(51) IntCl<sup>6</sup>

H03L 7/10

識別記号

F I

H03L 7/10

D

審査請求 未請求 請求項の数5 OL (全9頁)

(21) 出願番号 特願平10-70024

(22) 出願日 平成10年(1998)3月19日

(71) 出願人 000237662

富士通電装株式会社

神奈川県川崎市高津区坂戸1丁目17番3号

(72) 発明者 金山 啓介

神奈川県川崎市高津区坂戸1丁目17番3号

富士通電装株式会社内

(74) 代理人 弁理士 柏谷 昭司 (外2名)

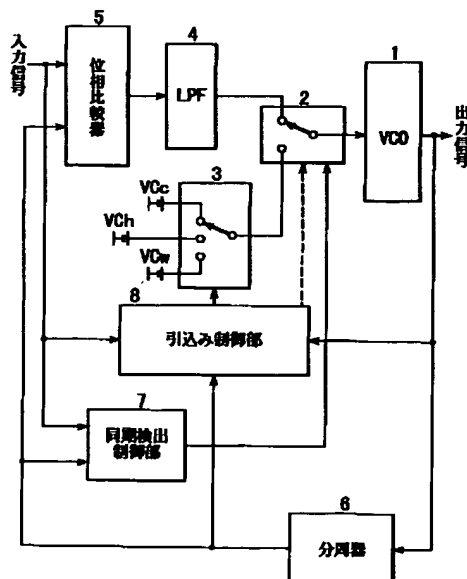
(54) 【発明の名称】 位相同期回路

(57) 【要約】

【課題】 入力信号位相に電圧制御発振器の出力信号位相を同期させる位相同期回路(PLL)に関し、高速位相同期引込みを可能とする。

【解決手段】 入力信号位相と電圧制御発振器1の出力信号を分周器6により分周した分周出力信号位相とを位相比較器5により比較し、位相比較器5の出力信号をループフィルタ4を介して電圧制御発振器1の制御電圧とする位相同期回路に於いて、同期引込み時に、入力信号周波数が中心周波数に対して高いか低いかを判定し、高い場合は下限周波数の制御電圧VCwを選択し、低い場合は上限周波数の制御電圧VChを選択して、ループフィルタ4を介した制御電圧に代えて電圧制御発振器1に入力するように、第1、第2の切替回路2、3を制御する引込み制御部8を備えている。

本発明の実施の形態の説明図



## 【特許請求の範囲】

【請求項1】 入力信号位相と電圧制御発振器の出力信号を分周器により分周した信号位相とを位相比較器により比較し、該位相比較器の比較出力信号をループフィルタを介して前記電圧制御発振器の制御電圧とする位相同期回路に於いて、

前記入力信号の周波数が中心周波数より高いか低いかを判定し、高い場合は引込み用の下限周波数の制御電圧を選択し、低い場合は引込み用の上限周波数の制御電圧を選択し、該選択した引込み用の制御電圧を前記ループフィルタを介した制御電圧と切替えて同期引込み時に前記電圧制御発振器に入力する引込み制御部を備えたことを特徴とする位相同期回路。

【請求項2】 前記引込み制御部は、同期引込み時に選択された前記引込み用の上限周波数の制御電圧又は下限周波数の制御電圧を一定時間だけ切替えて前記電圧制御発振器に入力する制御を行う構成を備えたことを特徴とする請求項1記載の位相同期回路。

【請求項3】 前記引込み制御部は、同期引込み開始時に、前記電圧制御発振器に中心周波数の制御電圧を入力し、該電圧制御発振器の出力信号をクロック信号として、前記入力信号のハイレベル（又はローレベル）の期間をカウントする第1のカウントと、前記電圧制御発振器の出力信号を前記分周器により分周した分周出力信号のハイレベル（又はローレベル）の期間をカウントする第2のカウントと、前記第1、第2のカウントのカウント値を比較して前記入力信号周波数が中心周波数より高いか低いかを判定する周波数判定部とを有することを特徴とする請求項1又は2記載の位相同期回路。

【請求項4】 前記入力信号の立上り位相又は立下り位相とから所定範囲の位相比較窓を形成して、前記分周出力信号の立上り位相又は立下り位相が前記位相比較窓内に存在する時に同期引込みと判定し、前記ループフィルタを介した制御電圧を前記電圧制御発振器に入力する制御を行う同期検出制御部を備えたことを特徴とする請求項1記載の位相同期回路。

【請求項5】 前記引込み制御部又は前記同期検出制御部の制御によって、前記ループフィルタを介した制御電圧と同期引込み時の制御電圧とを切替えて前記電圧制御発振器に入力する第1の切替回路と、前記引込み制御部の制御によって前記電圧制御発振器に、中心周波数の制御電圧と、上限周波数の制御電圧と、下限周波数の制御電圧とを切替えて前記第1の切替回路に加える第2の切替回路とを備えたことを特徴とする請求項1乃至4の何れか1項記載の位相同期回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、安定度を向上した位相同期回路に関する。位相同期回路（PLL；Phase Lock Loop）は、電圧制御発振器と位相比較器とを

含み、入力信号位相に電圧制御発振器の出力信号位相を同期化するように制御するものである。この位相同期回路の引込み時間を短縮することが要望されている。

## 【0002】

【従来の技術】図7は従来例の位相同期回路の説明図であり、51は電圧制御発振器（VCO）、52は切替回路、53は時定数の小さいループフィルタ（LPF）、54は時定数の大きいループフィルタ（LPF）、55は位相比較器、56は分周器、57は同期検出部である。

【0003】電圧制御発振器51の出力信号を分周器56により分周し、その分周出力信号と入力信号との位相を位相比較器55により比較し、その位相比較出力信号を、時定数の小さいループフィルタ53又は時定数の大きいループフィルタ54を介して電圧制御発振器51の制御電圧とし、入力信号位相に分周出力信号位相を同期化させるように、電圧制御発振器51の出力信号位相を制御する。

【0004】又同期検出部57は、位相比較器55の位相比較出力信号等により位相同期引込み状態か否かを判定し、位相同期引込み動作中の時は、時定数の小さいループフィルタ53を選択するように切替回路52を制御し、位相同期引込み状態となったことを検出すると、時定数の大きいループフィルタ54を選択するように切替回路52を制御し、位相同期回路（PLL）の位相同期引込みの高速化を図り、且つ位相同期引込み状態に於ける動作の安定化を図るものである。

【0005】しかし、位相同期引込みを開始する時の電圧制御発振器51の自走周波数は、動作範囲の上限周波数又は下限周波数となる場合が一般的であり、その自走周波数と入力信号周波数とが近似している場合、位相差が小さく、且つ自走周波数は安定化されているものではないから、位相比較器55の位相比較出力信号が小さい値で且つ変動することにより、時定数の小さいループフィルタ53を接続しても、位相同期引込みに要する時間を短縮することは困難であった。

【0006】そこで、図8に示す構成が提案されている。同図に於いて、61は電圧制御発振器（VCO）、62は切替回路、63はループフィルタを含む制御電圧形成部、64は三角波発生器、65は位相比較器、66は分周器、67は同期検出部、68は記憶部である。

【0007】位相同期引込み状態に於いては、切替回路62は図示状態に切替えられており、分周器66の分周出力信号と入力信号との位相を位相比較器65により比較し、その比較出力信号をループフィルタを含む制御電圧形成部63を介して電圧制御発振器61の制御電圧とする。その時の制御電圧を記憶部68に順次更新して記憶するものである。

【0008】入力信号断となると、位相比較器65の位相比較出力信号が大きな位相差で且つ変動することを示

すものとなるから、同期検出部67は、同期外れと判定し、切替回路62を制御電圧形成部63側から三角波発生器64側に切替えるように制御する。それによって、電圧制御発振器61に三角波制御電圧が入力され、出力信号周波数を三角波制御電圧に従って走査することになる。

【0009】従って、入力信号が復旧して入力されると、この入力信号の位相と分周器66の分周出力信号の位相（三角波制御信号に従って変化する）とを位相比較器65により比較し、位相が一致した時の位相比較出力信号を同期検出部67が検出し、切替回路62を制御電圧形成部63側に切替え、且つ記憶部68に記憶されている制御電圧を初期値として制御電圧形成部63に入力し、この初期値に従った制御電圧を電圧制御発振器61に入力し、その初期値から位相同期引込み状態に移行する。

【0010】図9は引込み用三角波制御電圧の説明図であり、図8に於ける三角波発生器64は、最大電圧 $V_{Cmax}$ と、最小電圧 $V_{Cmin}$ との間を周期 $T_a$ で三角波状に変化する三角波制御電圧を発生するものであり、入力信号断等の位相同期外れの状態の時に、切替回路62を介して電圧制御発振器61に入力する。例えば、時刻 $t_1$ 以前は入力信号断により位相同期外れ状態で、三角波制御電圧が電圧制御発振器61に入力され、その時刻 $t_1$ に入力信号が復旧して位相比較器65に入力されたとすると、その時刻 $t_1$ に於いては、三角波制御電圧は最小電圧 $V_{Cmin}$ に向かって変化する途中であり、次に最小電圧 $V_{Cmin}$ から最大電圧 $V_{Cmax}$ に向かって変化する事となる。

【0011】そして、入力信号位相と分周出力信号位相とがほぼ一致した時の位相比較出力信号を基に、同期検出部67は位相同期引込みを検出し、三角波発生器64から制御電圧形成部63側に切替回路62を切替える。同期検出部67は、例えば、位相比較出力信号の変化率（位相差変化率）がほぼ零となった時に、位相同期外れ状態から位相同期引込み状態に入ったと判定する構成とすることができる。

【0012】切替回路62を制御電圧形成部63側に切替えると共に、記憶部68からの初期値を制御電圧形成部63に入力し、電圧制御発振器61の制御電圧をその初期値から位相差に従った値に移行させる。そして、時刻 $t_2$ に位相比較出力信号の変化率がほぼ零となり、それに対応した制御電圧が安定状態となって、位相同期引込み状態となる。

【0013】又時刻 $t_3$ に入力信号断等により、位相比較出力信号の変化率が大きくなると、同期検出部67は、位相同期外れと判定して、切替回路62を制御し、制御電圧形成部63側から三角波発生器64側へ切替える。それによって、三角波発生器64からの三角波制御電圧が電圧制御発振器61に入力され、電圧制御発振器

61の出力信号位相は、三角波制御電圧に従って変化する。

【0014】

【発明が解決しようとする課題】従来例の例えば図7に示すループフィルタの時定数を切替える構成は、位相同期引込み開始時に、入力信号と分周出力信号との位相差に、時定数の小さいループフィルタを用いることにより、高速に追従して電圧制御発振器51の出力信号位相を制御しようとするものである。しかし、位相同期引込み開始時の入力信号と分周出力信号との周波数差が僅かな場合に、位相同期引込み状態に移行する時間が長くなる問題があった。

【0015】又図8に示す三角波制御電圧を入力する構成は、位相同期引込み開始時に、電圧制御発振器61の制御電圧を強制的に三角波状に変化させるものであり、三角波制御電圧の周期 $T_a$ は入力信号の周期に比較して十分に長いものであり、従って、位相同期引込み開始から位相同期引込み状態までに要する時間は、最悪三角波制御電圧の1周期 $T_a$ に近い期間が必要となる問題がある。本発明は、比較的簡単な構成により位相同期引込みの高速化を図ることを目的とする。

【0016】

【課題を解決するための手段】本発明の位相同期回路は、(1)入力信号位相と電圧制御発振器(VCO)1の出力信号を分周器6により分周した信号位相とを位相比較器5により比較し、この位相比較器5の比較出力信号をループフィルタ(LPF)4を介して電圧制御発振器1の制御電圧とする位相同期回路であって、入力信号の周波数が中心周波数より高いか低いかを判定し、高い場合は引込み用の下限周波数の制御電圧 $V_{Cw}$ を選択し、低い場合は引込み用の上限周波数の制御電圧 $V_{Ch}$ を選択し、この選択した引込み用の制御電圧をループフィルタ4を介した制御電圧と切替えて同期引込み時に電圧制御発振器1に入力する引込み制御部8を備えている。

【0017】又(2)引込み制御部8は、同期引込み時に選択された引込み用の上限周波数の制御電圧 $V_{Ch}$ 又は下限周波数の制御電圧 $V_{Cw}$ を一定時間だけ切替えて、電圧制御発振器1に入力する制御を行う構成を備えることができる。

【0018】又(3)引込み制御部8は、同期引込み開始時に、電圧制御発振器1に中心周波数の制御電圧 $V_{Cc}$ を入力し、電圧制御発振器の出力信号をクロック信号として、入力信号のハイレベル（又はローレベル）の期間をカウントする第1のカウントと、電圧制御発振器の出力信号を分周器6により分周した分周出力信号のハイレベル（又はローレベル）の期間をカウントする第2のカウントと、第1、第2のカウントのカウント値を比較して、入力信号周波数が中心周波数より高いか低いかを判定する周波数判定部とを有する構成とすることができる。

る。

【0019】又(4)入力信号の立上り位相又は立下り位相とから所定範囲の位相比較窓を形成して、分周出力信号の立上り位相又は立下り位相が、位相比較窓内に存在する時に同期引込みと判定し、ループフィルタ4を介した制御電圧を電圧制御発振器1に入力する制御を行う同期検出制御部7を備えることができる。

【0020】又(5)引込み制御部8又は同期検出制御部7の制御によって、ループフィルタ4を介した制御電圧と同期引込み時の制御電圧とを切替えて電圧制御発振器1に第1の切替回路2と、引込み制御部8の制御によって電圧制御発振器1に、中心周波数の制御電圧VCCと、上限周波数の制御電圧VChと、下限周波数の制御電圧VCwとを切替えて第1の切替回路2に加える第2の切替回路3とを備えることができる。

【0021】

【発明の実施の形態】図1は本発明の実施の形態の説明図であり、1は電圧制御発振器(VCO)、2、3は第1、第2の切替回路、4はループフィルタ(LPF)、5は位相比較器、6は分周器、7は同期検出制御部、8は引込み制御部、VCCは中心周波数の制御電圧、VChは上限周波数の制御電圧、VCwは下限周波数の制御電圧を示す。

【0022】例えば、入力信号周波数を8kHzとし、電圧制御発振器1の発振周波数を5MHzとすると、分周器6は、 $1/625$ の分周比を有するものとなる。又入力信号と分周出力信号とを矩形波信号とすると、位相比較器5は、ナンド回路とフリップフロップとを含む論理回路によって構成することができる。そして、入力信号位相に対して分周出力信号位相が遅れている場合、例えば、ハイレベルの位相遅れ検出信号をループフィルタ4を介することにより、電圧制御発振器1の出力信号位相を進めるように制御電圧を高くし、反対に、入力信号位相に対して分周出力信号位相が進んでいる場合、ローレベルの位相進み検出信号をループフィルタ4を介することにより、電圧制御発振器1の出力信号位相を遅らせるように制御電圧を低くする。

【0023】又同期検出制御部7は、入力信号と分周器6の分周出力信号とを入力し、入力信号の立上り位相又は立下り位相を基に位相比較窓を形成し、その位相比較窓内に分周出力信号の立上り位相又は立下り位相が存在する時に同期引込みと判定する構成を用いることができる。又従来例と同様、位相比較器5の位相比較出力信号の変化率が小さくなった時に位相同期引込み状態を検出する構成とすることも可能である。

【0024】又引込み制御部8は、電圧制御発振器1の出力信号をクロック信号として、入力信号のハイレベルの期間又はローレベルの期間をカウントし、又分周器6の分周出力信号の倍レベルの期間又はローレベルの期間をカウントし、それぞれのカウント値を比較し、同期引

込み開始時に電圧制御発振器1に中心周波数の制御電圧VCCを入力することにより、入力信号の周波数が中心周波数より高いか低いかを判定し、第2の切替回路3を制御する構成を有するものである。なお、入力信号の周波数が中心周波数より高いか低いかを他の基準値と比較して判定する構成を適用することも可能である。

【0025】電源投入時や入力信号断から復旧した時の同期引込み開始時に、引き制御部8は、第1の切替回路2をループフィルタ4側から第2の切替回路3側へ切替制御し、又第2の切替回路3を中心周波数の制御電圧VCCを選択するように切替制御する。それによって、電圧制御発振器1には、中心周波数の制御電圧VCCが入力される。例えば、電圧制御発振器1の制御電圧が0～5Vの範囲で変化可能とすると、2.5Vの制御電圧を選択して電圧制御発振器1に入力する。

【0026】従って、この電圧制御発振器1の出力信号をクロック信号(例えば、5MHz)とし、入力信号(例えば、8kHz±Δfの矩形波信号)のハイレベル期間をカウントし、又分周出力信号(例えば、8kHzの矩形波信号)のハイレベル期間をカウントし、カウント値を比較すると、入力信号が中心周波数より高いか低いかを判定することができる。この場合、正確に中心周波数を設定する必要はなく、従って、入力信号周波数が中心周波数より高いか低いかを判定する周波数判定部は、比較的簡単な構成で実現することができる。

【0027】又引込み制御部8は、前述のように、同期引込み開始時の入力信号周波数が中心周波数より高いか低いかを判定する為の中心周波数の制御電圧VCCを第2の切替回路3により選択するように制御し、入力信号周波数の高低判定後に、入力信号周波数が中心周波数より高い時に下限周波数の制御電圧VCwを選択し、入力信号周波数が中心周波数より低い時に上限周波数の制御電圧VChを選択するように、第2の切替回路3を制御する。

【0028】それによって、分周出力信号周波数と入力信号周波数との差が大きくなるように電圧制御発振器1が制御され、引込み制御部8のタイム等による一定時間後、又は位相同期検出制御部7による同期引込み判定によって、第1の切替回路2を制御し、ループフィルタ4側に切替えて、定常状態の位相同期制御を行うことになる。なお、第1、第2の切替回路2、3は、電界効果トランジスタ等のスイッチング素子を用いて構成することができる。

【0029】図2は本発明の実施の形態の引込み制御部の要部説明図であり、11、12は第1、第2のカウンタ、13は周波数判定部、14は切替制御部、15は引込み開始判定制御部、16は切替回路を示す。この切替回路16は、図1に於ける第1、第2の切替回路2、3を一体化し、トランジスタ等のスイッチング素子により構成して、電圧制御発振器VCOに対して、ループフィ

ルタLPFを介した制御電圧と、中心周波数の基準電圧V<sub>Cc</sub>と、上限周波数の制御電圧V<sub>Ch</sub>と、下限周波数の制御電圧V<sub>Cw</sub>とを切替えて入力する構成の場合を示し、切替制御部14によって切替制御する。

【0030】又引込み開始判定制御部15は、電源投入信号又は入力信号F<sub>in</sub>により、同期引込み開始を判定して切替制御部14に制御信号を入力する。それにより、切替制御部14は、切替回路16を図示の状態から中心周波数の制御電圧V<sub>Cc</sub>側に切替えて電圧制御発振器VCOに入力する。例えば、上限周波数の制御電圧V<sub>Ch</sub>を4.5V、下限周波数の制御電圧V<sub>Cw</sub>を0.5Vとすると、中心周波数の制御電圧は2.5Vとすれば良いことになる。

【0031】又第1、第2のカウンタ11、12のクロック端子CKに電圧制御発振器VCOの出力信号F<sub>c</sub>をクロック信号として入力し、第1のカウンタ11のイネーブル端子Eに入力信号F<sub>in</sub>を入力し、第2のカウンタ12のイネーブル端子Eに分周出力信号F<sub>dv</sub>を入力し、入力信号F<sub>in</sub>と分周出力信号F<sub>dv</sub>とのそれぞれハイレベルの期間をカウントイネーブル期間としてカウントアップする。なお、ローレベル期間をカウントイネーブル期間としてカウントアップすることも可能である。

【0032】周波数判定部13は、入力信号F<sub>in</sub>が中心周波数より高いか低いかを判定するものであり、引込み開始時に、切替回路16によって中心周波数の制御電圧V<sub>Cc</sub>が電圧制御発振器VCOに入力されるから、分周出力信号F<sub>dv</sub>も中心周波数に相当するものとなり、ハイレベル期間をカウントイネーブル期間とすると、第2のカウンタ12のカウント値に対して、第1のカウンタ11のカウント値が大きい場合、引込み開始時の入力信号F<sub>in</sub>の周波数は、中心周波数より高いと判定することができ、又第2のカウンタ12のカウント値に対して、第1のカウンタ11のカウント値が小さい場合、入力信号F<sub>in</sub>の周波数は、中心周波数より低いと判定することができる。

【0033】この入力信号F<sub>in</sub>の周波数の判定結果を切替制御部14に入力する。切替制御部14は、入力信号F<sub>in</sub>の周波数が中心周波数より高い場合、下限周波数の制御電圧V<sub>Cw</sub>を選択するように切替回路16を制御する。それによって、電圧制御発振器VCOの発振周波数は中心周波数から下限周波数に向かって急速に変化する。反対に、入力信号F<sub>in</sub>の周波数が中心周波数より低い場合、上限周波数の制御電圧V<sub>Ch</sub>を選択するように切替回路16を制御する。それによって、電圧制御発振器VCOの発振周波数は中心周波数から上限周波数に向かって急速に変化する。

【0034】又切替制御部14にタイマを設け、上限周波数の制御電圧V<sub>Ch</sub>又は下限周波数の制御電圧V<sub>Cw</sub>を選択するように切替回路16を制御した後、所定時間

後に、ループフィルタLPFを介した制御電圧を電圧制御発振器VCOに入力するように、切替回路16を制御する構成とすることができる。即ち、入力信号F<sub>in</sub>の周波数が、中心周波数より高い場合に、電圧制御発振器VCOの発振周波数を下限周波数となるように制御することにより、入力信号F<sub>in</sub>の周波数と、分周出力信号F<sub>dv</sub>の周波数との差を大きくし、又入力信号F<sub>in</sub>の周波数が、中心周波数より低い場合に、電圧制御発振器VCOの発振周波数を上限周波数となるように制御することにより、入力信号F<sub>in</sub>の周波数と、分周出力信号F<sub>dv</sub>の周波数との差を大きくする。

【0035】このように周波数差が大きくなることにより、入力信号F<sub>in</sub>の位相に分周出力信号F<sub>dv</sub>の位相を急速に引込むことができる。前述のように、タイマ等による一定時間、上限周波数の制御電圧V<sub>Ch</sub>又は下限周波数の制御電圧V<sub>Cw</sub>を電圧制御発振器VCOに入力した後、ループフィルタLPFを介した制御電圧を電圧制御発振器VCOに入力するか、或いは、同期検出制御部7(図1参照)により同期引込み状態となったことを検出して、ループフィルタLPFを介した制御電圧を電圧制御発振器VCOに入力するように切替える。

【0036】図3は本発明の実施の形態の同期検出制御部の要部説明図であり、21は位相比較窓形成回路、22は位相比較回路を構成するアンド回路、23は切替制御回路、24、25、27は遅延回路(DL)、26、28はフリップフロップである。入力信号F<sub>in</sub>を位相比較窓形成回路21の遅延回路24とフリップフロップ24のセット端子Sとに入力し、分周出力信号F<sub>dv</sub>を遅延回路27とフリップフロップ28のセット端子Sとに入力する。

【0037】フリップフロップ26のリセット端子Rに遅延回路24、25を介した入力信号F<sub>in</sub>が入力されるから、フリップフロップ26の出力端子Qからは、遅延回路24、25による遅延時間に相当する位相比較窓の信号が出力されて、アンド回路22に入力される。又フリップフロップ28のリセット端子Rに遅延回路27を介した分周出力信号F<sub>dv</sub>が入力されるから、フリップフロップ28の出力端子Qからは、遅延回路27による遅延時間に相当する信号が出力されて、アンド回路22に入力される。即ち、フリップフロップ28の出力端子Qからは、分周出力信号F<sub>dv</sub>の立上り位相の信号が出力され、アンド回路22は、この信号が位相比較窓内に出力されると、出力信号は“1”となり、同期引込み検出信号が出力されることになる。

【0038】切替制御回路23は、図1に第1の切替回路2を制御する場合を示し、アンド回路22からの同期引込み検出信号によって、第1の切替回路2を、第2の切替回路3側からループフィルタ4側に切替えて、通常の位相同期ループを形成することになる。

【0039】図4は同期検出制御部の動作説明図であ

り、(a)は入力信号Fin、(b)は遅延時間 $\tau$ の遅延回路24により遅延された信号、(c)は遅延時間 $\tau$ の遅延回路25により更に遅延された信号、(d)は入力信号Finの立上りでセットされ、遅延回路25からの信号によりリセットされたフリップフロップ26の出力信号、即ち、位相比較窓を示す信号、(e)は分周出力信号Fdv、(f)は遅延時間 $\tau$ の遅延回路27により遅延された信号、(g)は分周出力信号Fdvの立上りでセットされ、遅延回路27からの信号によりリセットされたフリップフロップ28の出力信号を示す。

【0040】即ち、位相比較窓形成回路21によって、図4の(d)に示す位相比較窓の信号を形成し、分周出力信号Fdvの立上り微分出力信号に相当するフリップフロップ28の出力端子Qからの信号は、図4の(g)に示すものとなり、この信号が位相比較窓内に出力されると、同期引込みの状態と判定することができる。なお、入力信号Finの立上り位相を基に位相比較窓を形成し、分周出力信号Fdvの立上り位相が位相比較窓内に入るか否かを判定して同期引込みを検出する場合を示すが、入力信号Finの立下り位相を基に位相比較窓を形成し、その位相比較窓内に、分周出力信号Fdvの立下り位相が入るか否かを判定して、同期引込みを検出する構成とすることも可能である。

【0041】図5は電源投入時の動作説明図であり、(A)は従来例、(B)は本発明の実施の形態に於けるそれぞれ実測データを示し、(A)、(B)に於ける(a)は入力信号、(b)は分周出力信号、(c)は制御電圧、(d)は電源電圧を示す。又入力信号周波数は $8\text{kHz} + 110\text{ppm}$ で、この入力信号周波数は、電圧制御発振器1の上限周波数近傍の自走周波数の分周出力信号周波数に近い場合について示す。

【0042】図5の(A)の従来例に於いて、時刻 $t_0$ に、(d)に示すように、電源電圧を上げた場合、位相比較器には入力信号が先に入力されており、電源電圧立上げ後に分周出力信号が位相比較器に入力される状態となるから、位相比較器は、先に入力された入力信号に対して、後から入力された分周出力信号の位相が遅れていると判定し、ハイレベルの遅れ位相検出信号を出力する。従って、電圧制御発振器の制御電圧は(c)に示すように高くなる。

【0043】この場合、電圧制御発振器の出力信号位相(分周出力信号位相)の進む速度は、入力信号周波数と電圧制御発振器の自走周波数の信号を分周した周波数との差に対応したものとなる。従って、電源電圧立上げ直後の(a)に示す入力信号位相と、(b)に示す分周出力信号位相とが約 $180^\circ$ ずれている場合でも、時刻 $t_0$ に電源電圧を上げた後、位相同期引込み状態となるには、 $t_a \approx 7.4$ 秒を要した。

【0044】これに対して、図2の(B)の本発明の実施の形態に於いては、(A)の従来例と同様に、時刻 $t_0$

に、(d)に示すように電源電圧を上げた場合、前述の(A)の場合と同様に位相比較器はハイレベルの位相遅れ検出信号を出力し、電圧制御発振器の制御電圧(c)に示すように高くなる。この時、例えば、図2に於いては、引込み開始判定制御部15に電源投入信号が入力されることにより、引込み開始と判定して切替制御部14を制御する。切替制御部14は、切替回路16により、中心周波数の制御電圧VCcを選択して電圧制御発振器VCOに入力するように制御する。

10 【0045】そして、前述のように、入力信号Finの周波数が中心周波数より高いか低いかを判定すると、この場合は、 $8\text{kHz} + 110\text{ppm}$ で、中心周波数より高い場合であるから、周波数判定部13の判定結果に応じて、切替制御部14により下限周波数の制御電圧VCwを選択して電圧制御発振器VCOに入力することになる。即ち、図5の(B)の(c)の\*印で示す下限周波数の制御電圧VCwが電圧制御発振器VCOに一定時間入力され、入力信号Finの周波数と分周出力信号Fdvの周波数との差が大きくなり、同期引込みは $t_b \approx 4$ 秒となった。即ち、従来例に比較して同期引込みに要する時間を約3.4秒短縮することができた。

【0046】図6は入力信号断から復旧時の動作説明図であり、入力信号断から復旧した入力信号の周波数が引込み範囲の下限周波数に近い $8\text{kHz} - 90\text{ppm}$ の場合についての実測データを示し、(A)は従来例、(B)は本発明の実施の形態を示す。又(A)、(B)に於ける(a)は入力信号、(b)は分周出力信号、(c)は制御電圧を示し、図5に於ける電源電圧(d)は省略している。

30 【0047】(A)の従来例に於いては、時刻 $t_0$ に(a)に示すように、断状態からの入力信号が復旧して入力された時、位相比較器は、分周出力信号が先に入力されており、復旧した入力信号が後に入力されるから、入力信号の位相に対して分周出力信号の位相は進んでいると判定される。この場合、(b)に示す分周出力信号の位相と入力信号の位相とは約 $180^\circ$ の差があっても、入力信号周波数と分周出力信号周波数とがほぼ近似している場合であり、位相比較出力信号は(c)に示すものとなり、同期引込みは、 $t_c \approx 7.2$ 秒となった。

40 【0048】これに対して、(B)に示す本発明の実施の形態に於いては、時刻 $t_0$ に、従来例の場合と同様に(a)に示すように入力信号が断状態から復旧した場合、入力信号Finの周波数が中心周波数より高いか低いかを判定し、この場合は低い場合であるから、上限周波数の制御電圧VCchを電圧制御発振器VCOに入力することになる。即ち、(B)の(c)の\*印で示す上限周波数の制御電圧VCchが電圧制御発振器VCOに一定時間入力され、電圧制御発振器VCOの発振周波数は上限周波数となるように変化し、入力信号Finの周波数との差が多くなる。それによって、引込み速度が大き

11

なり、 $t_d \approx 2.8$ 秒で同期引込み状態となった。即ち、従来例に比較して入力信号復旧時の同期引込みに要する時間を、約4.4秒短縮することができた。

【0049】本発明は、前述の各実施の形態のみに限定されるものでなく、種々付加変更することができるものであり、例えば、入力信号の中心周波数に対する高低の判定を、簡単な構成のほぼ中心周波数の発振周波数となる他の発振器を設けて行う構成とすることも可能である。

【0050】

【発明の効果】以上説明したように、本発明は、入力信号位相と電圧制御発振器1の出力信号を分周器6により分周した信号位相とを位相比較器5により比較し、この位相比較器5の比較出力信号をループフィルタ4を介して電圧制御発振器1の制御電圧とする位相同期回路であって、入力信号の周波数が中心周波数より高いか低いかを判定し、高い場合は引込み用の下限周波数の制御電圧VCwを選択し、低い場合は引込み用の上限周波数の制御電圧VChを選択し、この選択した引込み用の制御電圧をループフィルタを介した制御電圧と切替えて同期引込み時に電圧制御発振器1に入力する引込み制御部8を備えているもので、電源投入時や入力信号復旧時等の同期引込み開始時の入力信号周波数と分周出力信号周波数との差を大きくすることによって、同期引込みを高速化

12

することができる利点がある。

【図面の簡単な説明】

【図1】本発明の実施の形態の説明図である。

【図2】本発明の実施の形態の引込み制御部の要部説明図である。

【図3】本発明の実施の形態の同期検出制御部の要部説明図である。

【図4】同期検出制御部の動作説明図である。

【図5】電源投入時の動作説明図である。

10 【図6】入力信号断からの復旧時の動作説明図である。

【図7】従来例の位相同期回路の説明図である。

【図8】従来例の引込み用制御電圧を用いた位相同期回路の説明図である。

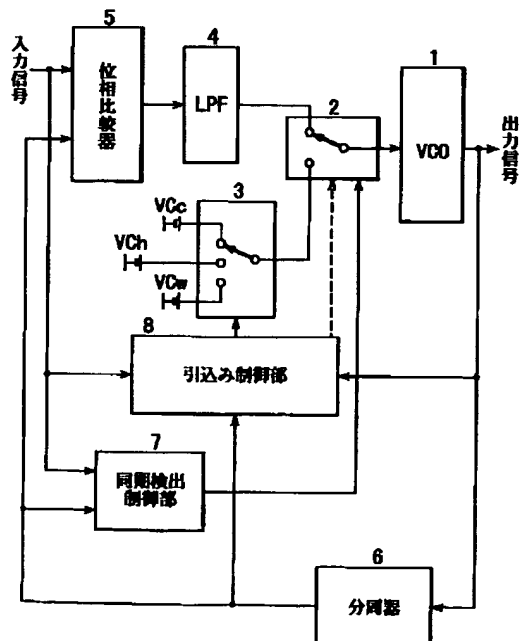
【図9】引込み用三角波制御電圧の説明図である。

【符号の説明】

- 1 電圧制御発振器(VCO)
- 2 第1の切替回路
- 3 第2の切替回路
- 4 ループフィルタ(LPF)
- 5 位相比較器
- 6 分周器
- 7 同期検出制御部
- 8 引込み制御部

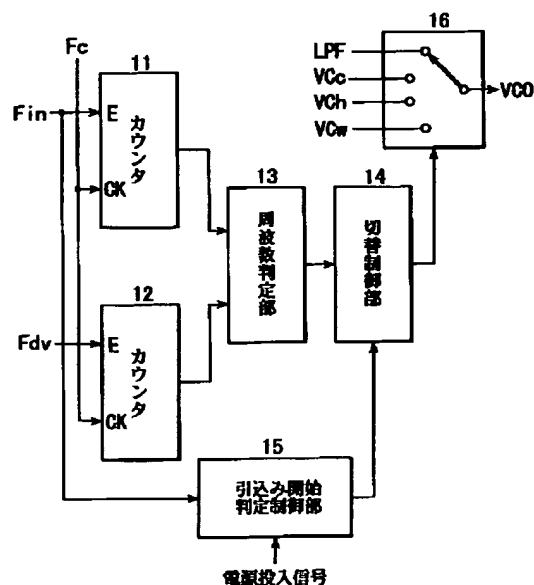
【図1】

本発明の実施の形態の説明図



【図2】

本発明の実施の形態の引込み制御部の要部説明図

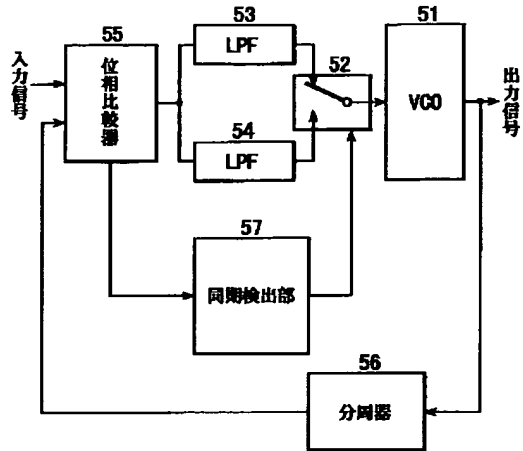






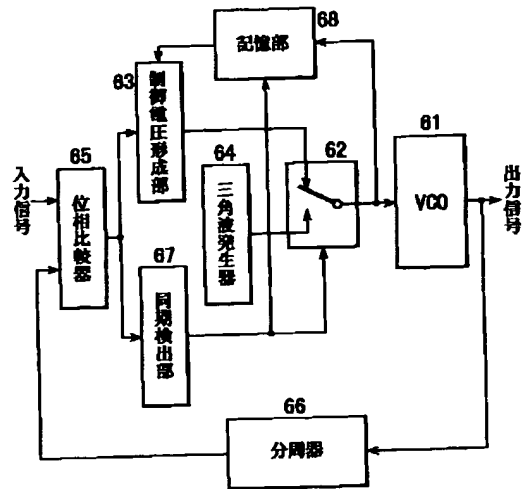
【図7】

従来例の位相同期回路の説明図



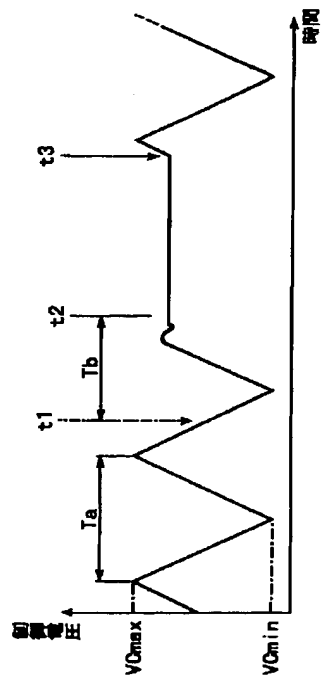
【図8】

従来例の引込み用制御電圧を用いた位相同期回路の説明図



【図9】

引込み用三角波制御電圧の説明図



---

## DETAILED DESCRIPTION

---

### [Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] this invention relates to the phase simulation circuit which improved stability. A phase simulation circuit (PLL;Phase Lock Loop) is controlled including a voltage controlled oscillator and a phase comparator to synchronize the output signal phase of a voltage controlled oscillator to an input signal phase. It is requested that the level-luffing-motion time of this phase simulation circuit is shortened.

[0002]

[Description of the Prior Art] Drawing 7 is explanatory drawing of the phase simulation circuit of the conventional example, and, for a voltage controlled oscillator (VCO) and 52, as for a phase comparator and 56, an electronic switch, a loop filter (LPF) with 53 [ small / a time constant ], a loop filter (LPF) with 54 / large / a time constant ], and 55 are / 51 / a counting-down circuit and 57 / synchronous detecting elements.

[0003] Dividing of the output signal of a voltage controlled oscillator 51 is carried out with a counting-down circuit 56, a phase comparator 55 compares the phase of the dividing output signal and input signal, the phase-comparison output signal is made into the control voltage of a voltage controlled oscillator 51 through the loop filter 53 with a small time constant, or the loop filter 54 with a large time constant, and the output signal phase of a voltage controlled oscillator 51 is controlled to make an input signal phase synchronize a dividing output signal phase.

[0004] Moreover, when it judges whether it is a phase simulation level-luffing-motion state by the phase-comparison output signal of a phase comparator 55 etc. and is [ phase simulation level-luffing-motion ] under operation, the synchronous detecting element 57 If it detects having controlled the electronic switch 52 to choose the loop filter 53 with a small time constant, and having changed into the phase simulation level-luffing-motion state An electronic switch 52 is controlled to choose the loop filter 54 with a large time constant, and improvement in the speed of the phase simulation level luffing motion of a phase simulation circuit (PLL) is attained, and stabilization of operation in a phase simulation level-luffing-motion state is attained.

[0005] However, the free running frequency of the voltage controlled oscillator 51 when starting phase simulation level luffing motion had the common case where it becomes the upper limited frequency of operating range, or a lower cut off frequency, when the free running frequency and input signal frequency approximated, phase contrast was small, and since the free running frequency is not stabilized, even if it connected the loop filter 53 with a small time constant by the phase-comparison output signal of a phase comparator 55 being a small value, and changing, it was difficult [ it ] to shorten the time which phase simulation level luffing motion takes.

[0006] Then, the composition shown in drawing 8 is proposed. For a triangular-wave generator and 65, as for a counting-down circuit and 67, in this drawing, a phase comparator and 66 are [ the control-voltage formation section in which a voltage

controlled oscillator (VCO) and 62 contain an electronic switch in and, as for 63, 61 contains a loop filter, and 64 / a synchronous detecting element and 68 ] the storage sections.

[0007] In a phase simulation level-luffing-motion state, the electronic switch 62 is changed to the illustration state, compares the phase of the dividing output signal of a counting-down circuit 66, and an input signal with a phase comparator 65, and makes the comparison output signal the control voltage of a voltage controlled oscillator 61 through the control-voltage formation section 63 containing a loop filter. The control voltage at that time is updated one by one in the storage section 68, and is memorized in it.

[0008] Since it becomes what shows that the phase-comparison output signal of a phase comparator 65 is big phase contrast, and it changes when it comes to \*\*\*\*\*, the synchronous detecting element 67 is judged to be a step-out, and is controlled to change an electronic switch 62 from the control-voltage formation section 63 side to the triangular-wave generator 64 side. A triangular-wave control voltage will be inputted into a voltage controlled oscillator 61 by it, and output signal frequency will be scanned by it according to a triangular-wave control voltage.

[0009] Therefore, if an input signal is restored and it is inputted, a phase comparator 65 compares the phase of this input signal, and the phase (it changes according to a triangular-wave control signal) of the dividing output signal of a counting-down circuit 66. The synchronous detecting element 67 detects a phase-comparison output signal when a phase is in agreement, and an electronic switch 62 is changed to the control-voltage formation section 63 side. And it inputs into the control-voltage formation section 63 by making into initial value the control voltage memorized by the storage section 68, the control voltage according to this initial value is inputted into a voltage controlled oscillator 61, and it shifts to a phase simulation level-luffing-motion state from the initial value.

[0010] Drawing 9 is explanatory drawing of the triangular-wave control voltage for level luffing motion, and the triangular-wave generator 64 in drawing 8 generates the triangular-wave control voltage which changes between the maximum voltage  $VC_{max}$  and the minimum voltage  $VC_{min}$  in the shape of a triangular wave a period  $T_a$ , and inputs it into a voltage controlled oscillator 61 through an electronic switch 62 in the state of phase simulation blanks, such as \*\*\*\*\*. for example, supposing it is in a phase simulation blank state, and a triangular-wave control voltage is inputted into a voltage controlled oscillator 61 by \*\*\*\*\*, and an input signal is restored at the time  $t_1$  and it is inputted into a phase comparator 65 before time  $t_1$ , in the time  $t_1$ , a triangular-wave control voltage will change toward the minimum voltage  $VC_{min}$  -- on the way -- it comes out, and it is and, next, changes from the minimum voltage  $VC_{min}$  toward the maximum voltage  $VC_{max}$  -- things -- \*\*

[0011] And based on a phase-comparison output signal when an input signal phase and a dividing output signal phase carry out simultaneously coincidence, the synchronous detecting element 67 detects phase simulation level luffing motion, and changes an electronic switch 62 from the triangular-wave generator 64 to the control-voltage formation section 63 side. The synchronous detecting element 67 can be considered as the composition judge that went into the phase simulation level-luffing-motion state from the phase simulation blank state, when the rate of change (phase contrast rate of change) of for example, a phase-comparison output signal is set to about 0.

[0012] While changing an electronic switch 62 to the control-voltage formation section 63 side, the initial value from the storage section 68 is inputted into the control-voltage formation section 63, and the control voltage of a voltage controlled oscillator 61 is made to shift to the value which followed phase contrast from the initial value. And the rate of change of a phase-comparison output signal is set to about 0 at time t2, and the control voltage corresponding to it will be in a stable state, and will be in a phase simulation level-luffing-motion state.

[0013] Moreover, at time t3, by \*\*\*\*\* etc., if the rate of change of a phase-comparison output signal becomes large, the synchronous detecting element 67 will be judged to be a phase simulation blank, will control an electronic switch 62, and will change it from the control-voltage formation section 63 side to the triangular-wave generator 64 side. The triangular-wave control voltage from the triangular-wave generator 64 is inputted into a voltage controlled oscillator 61 by it, and the output signal phase of a voltage controlled oscillator 61 changes with them according to a triangular-wave control voltage.

[0014]

[Problem(s) to be Solved by the Invention] At the time of a phase simulation level-luffing-motion start, by using a loop filter with a small time constant for the phase contrast of an input signal and a dividing output signal, the composition which changes the time constant of a loop filter shown in drawing 7 of the conventional example tends to be followed at high speed, and tends to control the output signal phase of a voltage controlled oscillator 51. However, when the delta frequencies of the input signal at the time of a phase simulation level-luffing-motion start and a dividing output signal were few, there was a problem to which time to shift to a phase simulation level-luffing-motion state becomes long.

[0015] Moreover, the composition which inputs the triangular-wave control voltage shown in drawing 8 changes the control voltage of a voltage controlled oscillator 61 in the shape of a triangular wave compulsorily at the time of a phase simulation level-luffing-motion start, the period Ta of a triangular-wave control voltage is long enough as compared with the period of an input signal, therefore the time required by the phase simulation level-luffing-motion state from a phase simulation level-luffing-motion start has the problem for which the period near the 1 period Ta of the worst triangular-wave control voltage is needed. this invention aims at attaining improvement in the speed of phase simulation level luffing motion by comparatively easy composition.

[0016]

[Means for Solving the Problem] The phase simulation circuit of this invention compares the signal phase which carried out dividing of the output signal of a voltage controlled oscillator (VCO) 1 to (1) input-signal phase with the counting-down circuit 6 with a phase comparator 5. It is the phase simulation circuit which makes the comparison output signal of this phase comparator 5 the control voltage of a voltage controlled oscillator 1 through a loop filter (LPF) 4. Judge whether the frequency of an input signal is higher than center frequency or low, and when high, the control voltage VCw of the lower cut off frequency for level luffing motion is chosen. When low, the control voltage VCh of the upper limited frequency for level luffing motion was chosen, and it drew and has the level-luffing-motion control section 8 which changes the control voltage of business to this selected control voltage through the loop filter 4, and inputs it into a voltage

controlled oscillator 1 at the time of synchronous level luffing motion.

[0017] Moreover, (2) level-luffing-motion control section 8 can be equipped with the composition which performs control which was chosen at the time of synchronous level luffing motion, and which it draws, and only fixed time changes the control voltage VCh of the upper limited frequency of business, or the control voltage VCw of a lower cut off frequency, and is inputted into a voltage controlled oscillator 1.

[0018] Moreover, at the time of a synchronous level-luffing-motion start, (3) level-luffing-motion control section 8 inputs the control voltage VCc of center frequency into a voltage controlled oscillator 1, and makes the output signal of a voltage controlled oscillator a clock signal. The 1st counter which counts the period of the high level (or low level) of an input signal, The 2nd counter which counts the period of the high level (or low level) of the dividing output signal which carried out dividing of the output signal of a voltage controlled oscillator with the counting-down circuit 6, The counted value of the 1st and the 2nd counter is compared, and it can consider as the composition which has the frequency judging section which judges whether input signal frequency is higher than center frequency or low.

[0019] Moreover, the phase-comparison aperture of the predetermined range can be formed from the standup phase of (4) input signals, or a falling phase, when the standup phase or falling phase of a dividing output signal exists in a phase-comparison aperture, it can judge with synchronous level luffing motion, and it can have the synchronous detection control section 7 which performs control which inputs the control voltage through the loop filter 4 into a voltage controlled oscillator 1.

[0020] Moreover, it can have the 1st electronic switch 2 which changes the control voltage through the loop filter 4, and the control voltage at the time of synchronous level luffing motion, and is inputted into a voltage controlled oscillator 1 by control of (5) level-luffing-motion control section 8 or the synchronous detection control section 7, and the 2nd electronic switch 3 which changes the control voltage VCc of center frequency, the control voltage VCh of a upper limited frequency, and the control voltage VCw of a lower cut off frequency to a voltage controlled oscillator 1, and is added to it by control of the level-luffing-motion control section 8 at the 1st electronic switch 2

[0021]

[Embodiments of the Invention] drawing 1 -- explanatory drawing of the form of operation of this invention -- it is -- 1 -- a voltage controlled oscillator (VCO), and 2 and 3 -- the 1st, the 2nd electronic switch, and 4 -- a loop filter (LPF) and 5 -- a phase comparator and 6 -- in a counting-down circuit and 7, the control voltage of center frequency and VCh show the control voltage of a upper limited frequency, and, as for a synchronous detection control section and 8, VCw shows the control voltage of a lower cut off frequency, as for a level-luffing-motion control section and VCc

[0022] For example, when input signal frequency is set to 8kHz and oscillation frequency of a voltage controlled oscillator 1 is set to 5MHz, a counting-down circuit 6 has 1/625 of division ratios. Moreover, if an input signal and a dividing output signal are made into a square wave signal, the logical circuit containing a NAND circuit and a flip-flop can constitute a phase comparator 5. And by making a control voltage high so that the output signal phase of a voltage controlled oscillator 1 may be advanced by minding a loop filter 4 for a high-level phase lag detecting signal when the dividing output signal phase is behind to the input signal phase for example, and minding a loop filter 4 for the phase-

lead-lag-network detecting signal of a low level, when the dividing output signal phase is progressing to the input signal phase on the contrary, a control voltage is made low so that the output signal phase of a voltage controlled oscillator 1 may be delayed.

[0023] Moreover, the synchronous detection control section 7 inputs an input signal and the dividing output signal of a counting-down circuit 6, and forms a phase-comparison aperture based on the standup phase or falling phase of an input signal, and when the standup phase or falling phase of a dividing output signal exists in the phase-comparison aperture, the composition judged to be synchronous level luffing motion can be used for it. Moreover, like the conventional example, when the rate of change of the phase-comparison output signal of a phase comparator 5 becomes small, it is also possible to consider as the composition which detects a phase simulation level-luffing-motion state.

[0024] Moreover, the level-luffing-motion control section 8 makes a clock signal the output signal of a voltage controlled oscillator 1. Count the high-level period of an input signal, or the period of a low level, and the period of the double level of the dividing output signal of a counting-down circuit 6 or the period of a low level is counted. By comparing each counted value and inputting the control voltage VCc of center frequency into a voltage controlled oscillator 1 at the time of a synchronous level-luffing-motion start, it judges whether the frequency of an input signal is higher than center frequency or low, and has the composition which controls the 2nd electronic switch 3. In addition, it is also possible to apply the composition which judges whether the frequency of an input signal is higher than center frequency or low as compared with other reference values.

[0025] At the time of the synchronous level-luffing-motion start when restoring from a power up or \*\*\*\*\*, the length control section 8 carries out change control of the 1st electronic switch 2 from a loop-filter 4 side to the 2nd electronic-switch 3 side, and change control of the electronic switch 3 of \*\*\*\* 2 is carried out so that the control voltage VCc of center frequency may be chosen. The control voltage VCc of center frequency is inputted into a voltage controlled oscillator 1 by it. For example, if the control voltage of a voltage controlled oscillator 1 makes change possible in the range which are 0-5V, the control voltage of 2.5V will be chosen and it will input into a voltage controlled oscillator 1.

[0026] Therefore, if make the output signal of this voltage controlled oscillator 1 into a clock signal (for example, 5MHz), and the high-level period of an input signal (for example, square wave signal of  $8\text{ kHz} \cdot \Delta f$ ) is counted, and the high-level period of a dividing output signal (for example, 8kHz square wave signal) is counted and counted value is compared, it can judge whether an input signal is higher than center frequency or low. In this case, the frequency judging section which does not need to set up center frequency correctly, therefore judges whether input signal frequency is higher than center frequency or low is realizable with comparatively easy composition.

[0027] Moreover, the 2nd electronic switch 3 is controlled to control to choose the control voltage VCc of the center frequency for judging whether the level-luffing-motion control section 8 has the input signal frequency higher than center frequency at the time of a synchronous level-luffing-motion start as mentioned above, or it is low by the 2nd electronic switch 3, to choose the control voltage VCw of a lower cut off frequency after the height judging of input signal frequency, when input signal frequency is higher than center frequency, and to choose the control voltage VCh of a upper limited frequency, when input signal frequency is lower than center frequency.

[0028] A voltage controlled oscillator 1 is controlled by it so that the difference of dividing output signal frequency and input signal frequency becomes large, and the 1st electronic switch 2 will be controlled by the synchronous level-luffing-motion judging by fixed time [ by the timer of the level-luffing-motion control section 8 etc. ] after, or the phase-synchronous-detection control section 7, it will change to a loop-filter 4 side, and phase simulation control of a steady state will be performed. In addition, the 1st and the 2nd electronic switch 2 and 3 can be constituted using switching elements, such as a field-effect transistor.

[0029] Drawing 2 is important section explanatory drawing of the level-luffing-motion control section of the form of operation of this invention, the 1st, the 2nd counter, and 13 draw 11 and 12, a change control section and 15 draw the frequency judging section and 14, and a start judging control section and 16 show an electronic switch. This electronic switch 16 unifies the 1st in drawing 1, and the 2nd electronic switch 2 and 3, constitutes them with switching elements, such as a transistor, shows the case of composition of changing and inputting the control voltage through the loop filter LPF, the reference voltage VCc of center frequency, the control voltage VCh of a upper limited frequency, and the control voltage VCw of a lower cut off frequency to a voltage controlled oscillator VCO, and carries out change control by the change control section 14.

[0030] Moreover, according to a powering-on signal or an input signal Fin, the level-luffing-motion start judging control section 15 judges a synchronous level-luffing-motion start, and inputs a control signal into the change control section 14. Thereby, the change control section 14 is changed from the state of illustration of an electronic switch 16 to the control-voltage VCc side of center frequency, and is inputted into a voltage controlled oscillator VCO. For example, when the control voltage VCw of 4.5V and a lower cut off frequency is set to 0.5V, the control voltage of center frequency should just set the control voltage VCh of a upper limited frequency to 2.5V.

[0031] The output signal Fc of a voltage controlled oscillator VCO is inputted into \*\*\*\* 1 and the clock terminal CK of the 2nd counter 11 and 12 as a clock signal, an input signal Fin is inputted into the \*\*\*\*\* terminal E of the 1st counter 11, the dividing output signal Fdv is inputted into the \*\*\*\*\* terminal E of the 2nd counter 12, and the respectively high-level period of an input signal Fin and the dividing output signal Fdv is counted up as a count \*\*\*\*\* period. In addition, it is also possible to count up a low-level period as a count \*\*\*\*\* period.

[0032] It is what judges whether the frequency judging section 13 has an input signal Fin higher than center frequency or it is low. Since the control voltage VCc of center frequency is inputted into a voltage controlled oscillator VCO by the electronic switch 16 at the time of a level-luffing-motion start, if the dividing output signal FdV also becomes a thing equivalent to center frequency and makes a high-level period a count \*\*\*\*\* period the counted value of the 2nd counter 12 -- receiving -- the counted value of the 1st counter 11 -- \*\* -- the frequency of the input signal Fin at the time of a level-luffing-motion start, when large It can judge with it being higher than center frequency, and to the counted value of the counter 12 of \*\*\*\* 2, when the counted value of the 1st counter 11 is small, it can judge with the frequency of an input signal Fin being lower than center frequency.

[0033] The judgment result of the frequency of this input signal Fin is inputted into the change control section 14. The change control section 14 controls an electronic switch 16



to choose the control voltage  $VC_w$  of a lower cut off frequency, when the frequency of an input signal  $F_{in}$  is higher than center frequency. The oscillation frequency of a voltage controlled oscillator VCO changes with them from center frequency quickly toward a lower cut off frequency. On the contrary, when the frequency of an input signal  $F_{in}$  is lower than center frequency, an electronic switch 16 is controlled to choose the control voltage  $VCh$  of a upper limited frequency. The oscillation frequency of a voltage controlled oscillator VCO changes with them from center frequency quickly toward a upper limited frequency.

[0034] Moreover, a timer is formed in the change control section 14, and after controlling an electronic switch 16 to choose the control voltage  $VCh$  of a upper limited frequency, or the control voltage  $VC_w$  of a lower cut off frequency, it can consider as the composition which controls an electronic switch 16 so that the control voltage which minded the loop filter LPF after the predetermined time may be inputted into a voltage controlled oscillator VCO. That is, when the frequency of an input signal  $F_{in}$  is higher than center frequency, it enlarges the difference of the frequency of an input signal  $F_{in}$ , and the frequency of the dividing output signal  $F_{dv}$  by enlarging the difference of the frequency of an input signal  $F_{in}$ , and the frequency of the dividing output signal  $F_{dv}$ , and controlling the oscillation frequency of a voltage controlled oscillator VCO to become a upper limited frequency, when the frequency of an input signal  $F_{in}$  is lower than center frequency by controlling the oscillation frequency of a voltage controlled oscillator VCO to become a lower cut off frequency.

[0035] Thus, by the bird clapper, a delta frequency can draw the phase of the dividing output signal  $F_{dv}$  in the phase of an input signal  $F_{in}$  quickly greatly. As mentioned above, after inputting the control voltage  $VCh$  of fixed time by the timer etc., and a upper limited frequency, or the control voltage  $VC_w$  of a lower cut off frequency into a voltage controlled oscillator VCO, it detects having inputted the control voltage through the loop filter LPF into the armature-voltage control oscillation VCO, or having changed into the synchronous level-luffing-motion state by the synchronous detection control section 7 (referring to drawing 1 ), and it changes so that it may input into the control-voltage voltage controlled oscillator VCO through the loop filter LPF.

[0036] Drawing 3 is important section explanatory drawing of the synchronous detection control section of the gestalt of operation of this invention, and, as for a change control circuit, and 24, 25 and 27, a delay circuit (DL), and 26 and 28 are [ the AND circuit from which 21 constitutes a phase-comparison fenestration circuit and 22 constitutes a phase-comparison circuit, and 23 ] flip-flops. An input signal  $F_{in}$  is inputted into the set terminal S of the delay circuit 24 of the phase-comparison fenestration circuit 21, and a flip-flop 24, and the dividing output signal  $F_{dv}$  is inputted into the set terminal S of a delay circuit 27 and a flip-flop 28.

[0037] Since the input signal  $F_{in}$  through delay circuits 24 and 25 is inputted into the reset terminal R of a flip-flop 26, from the output terminal Q of a flip-flop 26, the signal of the phase-comparison aperture equivalent to the time delay by delay circuits 24 and 25 is outputted, and it is inputted into AND circuit 22. Moreover, since the dividing output signal  $F_{dv}$  through the delay circuit 27 is inputted into the reset terminal R of a flip-flop 28, from the output terminal Q of a flip-flop 28, the signal equivalent to the time delay by the delay circuit 27 is outputted, and it is inputted into AND circuit 22. That is, from the output terminal Q of a flip-flop 28, the signal of the standup phase of the dividing output

signal Fdv is outputted, when, as for AND circuit 22, this signal is outputted in a phase-comparison aperture, an output signal is set to "1" and a synchronous level-luffing-motion detecting signal will be outputted.

[0038] The change control circuit 23 shows the case where the 1st electronic switch 2 is controlled to drawing 1, by the synchronous level-luffing-motion detecting signal from AND circuit 22, will change the 1st electronic switch 2 from the 2nd electronic-switch 3 side to a loop-filter 4 side, and will form the usual phase synchronous loop.

[0039] Drawing 4 is explanatory drawing of a synchronous detection control section of operation. (a) An input signal Fin, The signal for which (b) was delayed by the delay circuit 24 of a time delay tau, the signal for which (c) was further delayed by the delay circuit 25 of a time delay tau, The output signal of the flip-flop 26 which (d) was set in the standup of an input signal Fin, and was reset by the signal from a delay circuit 25, That is, the signal for which the signal which shows a phase-comparison aperture, and (e) were delayed by the dividing output signal Fdv, and (f) was delayed by the delay circuit 27 of a time delay tau, and (g) are set in the standup of the dividing output signal Fdv, and show the output signal of the flip-flop 28 reset by the signal from a delay circuit 27.

[0040] That is, the signal of the phase-comparison aperture shown in (d) of drawing 4 is formed by the phase-comparison fenestration circuit 21, and if the signal from the output terminal Q of the flip-flop 28 equivalent to the standup differential output signal of the dividing output signal Fdv becomes what is shown in (g) of drawing 4 and this signal is outputted in a phase-comparison aperture, it can judge with the state of synchronous level luffing motion. In addition, although the case where form a phase-comparison aperture based on the standup phase of an input signal Fin, judge whether the standup phase of the dividing output signal Fdv enters in a phase-comparison aperture, and synchronous level luffing motion is detected is shown, it is also possible to form a phase-comparison aperture based on the falling phase of an input signal Fin, to judge whether the falling phase of the dividing output signal Fdv enters in the phase-comparison aperture, and to consider as the composition which detects synchronous level luffing motion.

[0041] each [ in / the gestalt of operation of this invention / drawing 5 is explanatory drawing of a power up of operation, and / (A) and / in (B) ] -- a dividing output signal and (c) show a control voltage, and, as for (a), (d) shows supply voltage, as for an input signal and (b) / the conventional example / in / (A) and (B) / survey data are shown and ] Moreover, input signal frequency is 8kHz+110ppm, and this input signal frequency shows the case of being close to the dividing output signal frequency of the free running frequency near the upper limited frequency of a voltage controlled oscillator 1.

[0042] It judges with the phase of the dividing output signal later inputted to the input signal as which the phase comparator was previously inputted since it changed into the state where the input signal is previously inputted into the phase comparator when supply voltage is started at time t0, as the conventional example of (A) of drawing 5 is shown in (d), and a dividing output signal is inputted into a phase comparator after supply voltage starting being behind, and a high-level delay phase detecting signal is outputted.

Therefore, the control voltage of a voltage controlled oscillator becomes high as shown in (c).

[0043] In this case, the speed to which the output signal phase (dividing output signal phase) of a voltage controlled oscillator progresses becomes a thing corresponding to the difference of input signal frequency and the frequency which carried out dividing of the

signal of the free running frequency of a voltage controlled oscillator. Therefore, in order to have changed into the phase simulation level-luffing-motion state after starting supply voltage at time  $t_0$  even when the input signal phase shown in (a) immediately after supply voltage starting and the dividing output signal phase shown in (b) were shifted about 180 degrees,  $t_a^{**}$  7.4 seconds were required.

[0044] On the other hand, in the gestalt of operation of this invention of (B) of drawing 2, as shown in (d), as well as the conventional example of (A) when supply voltage is started at time  $t_0$ , like the case of the above-mentioned (A), a phase comparator outputs a high-level phase lag detecting signal, and as shown in the control voltage (c) of a voltage controlled oscillator, it becomes high. [ at this time, for example, drawing 2 ], by inputting a powering-on signal into the level-luffing-motion start judging control section 15, it judges with a level-luffing-motion start, and the change control section 14 is controlled. The change control section 14 is controlled to choose the control voltage  $VC_c$  of center frequency and to input into a voltage controlled oscillator VCO by the electronic switch 16.

[0045] or [ and / that the frequency of an input signal  $F_{in}$  is higher than center frequency as mentioned above ] -- in this case, when it judges whether it is a low, since it is  $8\text{kHz}+110\text{ppm}$  and is a case higher than center frequency, according to the judgment result of the frequency judging section 13, the control voltage  $VC_w$  of a lower cut off frequency will be chosen by the change control section 14, and it will input into a voltage controlled oscillator VCO. That is, a fixed time input of the control voltage  $VC_w$  of the lower cut off frequency shown by \* mark [ of (B) ] of (c) of drawing 5 was carried out at the voltage controlled oscillator VCO, the difference of the frequency of an input signal  $F_{in}$  and the frequency of the dividing output signal  $F_{dv}$  became large, and synchronous level luffing motion became  $t_b^{**}$  4 seconds. Namely, the time which synchronous level luffing motion takes as compared with the conventional example was able to be shortened for about 3.4 seconds.

[0046] Drawing 6 is explanatory drawing of operation at \*\*\*\*\* to the time of restoration, the frequency of the input signal restored from \*\*\*\*\* draws, the survey data about the case of  $8\text{kHz} - 90\text{ ppm}$  near the lower cut off frequency of the range are shown, (A) shows the conventional example and (B) shows the gestalt of operation of this invention. Moreover, an input signal and (b) show a dividing output signal, (c) shows a control voltage, and the supply voltage (d) in drawing 5 is omitting (a) in (A) and (B).

[0047] In the conventional example of (A), as shown in (a) at time  $t_0$ , when the input signal from \*\*\*\*\* is restored and it is inputted, since it is inputted behind, the input signal to which the phase comparator is previously inputted into and the dividing output signal restored it is judged as the phase of a dividing output signal progressing to the phase of an input signal. In this case, the phase of a dividing output signal and the phase of an input signal which are shown in (b) were the case where input signal frequency and dividing output signal frequency approximated mostly even if there is a difference of about 180 degrees, the phase-comparison output signal became what is shown in (c), and synchronous level luffing motion became  $t_c^{**}$  7.2 seconds.

[0048] or [ on the other hand, / that the frequency of an input signal  $F_{in}$  is higher than center frequency when an input signal is restored from \*\*\*\*\* in the gestalt of operation of this invention shown in (B), as shown in (a) like the case of the conventional example at time  $t_0$  ] -- it judges whether it is a low, and in this case, since it is a low case, the

control voltage VCh of a upper limited frequency will be inputted into a voltage controlled oscillator VCO That is, a fixed time input of the control voltage VCh of the upper limited frequency shown by \* mark of (c) of (B) is carried out at a voltage controlled oscillator VCO, the oscillation frequency of a voltage controlled oscillator VCO changes so that it may become with a upper limited frequency, and its difference with the frequency of an input signal Fin increases. By it, level-luffing-motion speed became large and changed into the synchronous level-luffing-motion state in  $t_d \approx 2.8$  seconds. Namely, the time which the synchronous level luffing motion at the time of input signal restoration takes as compared with the conventional example was able to be shortened for about 4.4 seconds.

[0049] It is not limited only to the gestalt of each above-mentioned operation, an addition change can be made variously, and this invention can also be considered as the composition which prepares other VCO of easy composition which serves as oscillation frequency of center frequency mostly, and performs the judgment of height [ as opposed to the center frequency of an input signal ].

[0050]

[Effect of the Invention] As explained above, this invention compares the signal phase which carried out dividing of the output signal of a voltage controlled oscillator 1 to the input signal phase with the counting-down circuit 6 with a phase comparator 5. It is the phase simulation circuit which makes the comparison output signal of this phase comparator 5 the control voltage of a voltage controlled oscillator 1 through a loop filter 4. Judge whether it is a low, and when high, the control voltage VCw of the lower cut off frequency for level luffing motion is chosen. or [ that the frequency of an input signal is higher than center frequency ] -- It is a thing equipped with the level-luffing-motion control section 8 which a low case chooses the control voltage VCh of the upper limited frequency for level luffing motion, and it draws, and changes the control voltage of business to this selected control voltage through the loop filter, and inputs it into a voltage controlled oscillator 1 at the time of synchronous level luffing motion. By enlarging the difference of the input signal frequency at the time of the synchronous level-luffing-motion starts at a power up, the time of input signal restoration, etc., and dividing output signal frequency, there is an advantage which can accelerate synchronous level luffing motion.

---

[Translation done.]